

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0057031  
Application Number

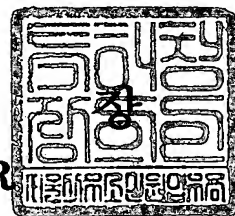
출원년월일 : 2002년 09월 18일  
Date of Application SEP 18, 2002

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      06      월      18      일

특      허      청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.18
【발명의 명칭】	차아지 재사용 방법을 이용하는 비트라인 이퀄라이징 전압 발생부를 갖는 메모리 장치
【발명의 영문명칭】	Memory device having bitline equalizing voltage generator employing charge reuse
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	심재윤
【성명의 영문표기】	SIM, JAE YOON
【주민등록번호】	690718-1559619
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 신나무실 풍림아파트 604동 1302호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

1020020057031

출력 일자: 2003/6/19

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 22 면 22,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 480,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통



## 【요약서】

## 【요약】

차아지 재사용 방법을 이용하는 비트라인 이퀄라이징 전압 발생부를 갖는 메모리 장치가 개시된다. 본 발명의 메모리 장치는 제1 메모리 블록과 제2 메모리 블록 사이에 공유 센스 앰프 구조로 구성되고, 비트라인 아이소레이션 회로들과 비트라인 이퀄라이저 회로들, 비트라인 이퀄라이징 전압 발생 회로, 그리고 비트라인 이퀄라이징 신호 발생부들을 포함한다. 비트라인 아이소레이션 회로는 제1 및 제2 비트라인 아이소레이션 신호에 각각 응답하여 제1 및 제2 메모리 블록을 공유 센스 앰프와 선택적으로 연결시키고, 비트라인 이퀄라이저 회로들은 제1 및 제2 비트라인 이퀄라이징 신호에 응답하여 제1 및 제2 메모리 블록 내 비트라인들을 비트라인 프리차아지 전압으로 각각 프리차아지시킨다. 비트라인 이퀄라이징 전압 발생 회로는 비트라인 아이소레이션 신호의 승압 전압 차아지를 재사용하여 비트라인 이퀄라이징 전압을 발생시켜 비트라인 이퀄라이징 신호와 연결시킨다. 따라서, 본 발명의 메모리 장치는 디스차아지되는 승압 전압 레벨의 비트라인 아이소레이션 신호를 비트라인 이퀄라이징 신호의 레벨 상승을 위한 비트라인 이퀄라이징 전압으로 재사용하여 비트라인 이퀄라이징 신호의 레벨 상승을 위한 차아지 펌핑을 줄일 수 있기 때문에 메모리 장치의 저전력 동작 모드에 적합하다. 또한 저전력 동작시 외부 전압 레벨이 낮아지면 비트라인 이퀄라이징 신호의 레벨을 외부 전압 보다 소정 전압 이상 상승시키기 때문에 비트라인들을 프리차아지시키는 데 안정적이다.

## 【대표도】

도 4



1020020057031

출력 일자: 2003/6/19

【색인어】

비트라인 이퀄라이저, 차아지 펌핑, 차아지 재사용, 비트라인 이퀄라이징 전압 발생부

**【명세서】****【발명의 명칭】**

차아지 재사용 방법을 이용하는 비트라인 이퀄라이징 전압 발생부를 갖는 메모리 장치{Memory device having bitline equalizing voltage generator employing charge reuse}

**【도면의 간단한 설명】**

도 1은 일반적인 공유 센스 앰프 구조를 갖는 메모리 장치를 나타내는 도면이다.

도 2는 도 1의 메모리 장치의 동작 파형을 나타내는 도면이다.

도 3a 및 도 3b는 비트라인 아이소레이션 신호 발생부들을 나타내는 도면이다.

도 4는 본 발명의 제1 실시예에 따른 비트라인 이퀄라이징 전압 발생 회로를 나타내는 도면이다.

도 5a 및 도 5b는 비트라인 이퀄라이징 신호 발생부들을 나타내는 도면이다.

도 6은 본 발명의 제2 실시예에 따른 비트라인 이퀄라이징 전압 발생 회로를 나타내는 도면이다.

도 7은 서브 워드라인 드라이버를 나타내는 도면이다.

도 8은 도 6의 비트라인 이퀄라이징 전압 발생 회로를 갖는 메모리 장치의 동작 파형을 나타내는 도면이다.

도 9는 본 발명의 제3 실시예에 따른 비트라인 이퀄라이징 전압 발생 회로를 나타내는 도면이다.

도 10은 도 9의 외부 전압 검출부를 나타내는 도면이다.

도 11은 도 9의 비트라인 이퀄라이징 전압 검출부를 나타내는 도면이다.

도 12는 도 9의 오실레이터를 나타내는 도면이다.

도 13은 도 9의 비트라인 이퀄라이징 전압 발생 회로의 동작 그래프를 나타내는 도면이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 차아지 재활용 방법을 이용한 비트라인 이퀄라이징 전압 발생 회로를 갖는 메모리 장치에 관한 것이다.

<15> 반도체 메모리 장치 중에서 DRAM은 센스 앰프를 이용하여 메모리 셀에 저장된 데이터를 감지 증폭한다. 센스 앰프는 메모리 셀의 비트라인과 연결되어 비트라인으로 차아지 셰어링(charge sharing)되는 전압 레벨과 비트라인 프리차아지 전압을 비교하여 메모리 셀 데이터를 판별한다. 센스 앰프 블록은 하나의 메모리 블록에 연결되어 그 메모리 블록 내 메모리 셀들을 센싱할 수도 있지만, 2개의 메모리 블록들에 공유되어 선택적으로 하나의 메모리 블록과 연결되어 선택된 메모리 블록 내 메모리 셀들을 센싱할 수 있다.

<16> 도 1은 일반적인 공유 센스 앰프 구조를 갖는 메모리 장치를 나타내는 도면이다. 이를 참조하면, 공유 센스 앰프 구조는 2개의 메모리 블록(110, 120) 사이

에, 비트라인 이퀄라이저 회로들(112, 122), 비트라인 아이소레이션 회로들(116, 126), 센스 앰프 회로(130), 그리고 칼럼 선택 회로(140)가 배열된다. 비트라인 이퀄라이저 회로(112, 122)는 메모리 셀 데이터의 센싱 동작 이전에, 제1 메모리 블록(110)과 제2 메모리 블록(120) 내의 비트라인들(BL, /BL)을 비트라인 프리차이지 전압(VBL)으로 프리차이지시킨다. 제1 비트라인 아이소레이션 회로(116)는 제1 메모리 블록(110) 내 메모리 셀 데이터를 센싱할 때 제1 메모리 블록(110)의 비트라인들(BL, /BL)을 센스 앰프 회로(130)와 연결시킨다. 이 때, 제2 비트라인 아이소레이션 회로(126)는 센스 앰프 회로(130)와 제2 메모리 블록(120)의 비트라인들(BL, /BL)과의 연결을 차단한다. 반대로, 제2 비트라인 아이소레이션 회로(126)가 제2 메모리 블록(120)의 비트라인들(BL, /BL)과 센스 앰프 회로(130)를 연결시키면, 제1 비트라인 아이소레이션 회로(116)는 제1 메모리 블록(110)의 비트라인들(BL, /BL)과 센스 앰프 회로(130)와의 연결을 차단한다. 칼럼 선택 회로(140)는 센스 앰프 회로(130)에 의해 센싱되는 제1 또는 제2 메모리 블록(110, 120) 내 메모리 셀 데이터를 데이터 입출력 라인(IO, IOB)으로 전달한다.

<17> 이러한 공유 센스 앰프 구조에서 제1 메모리 블록(110) 내 메모리 셀(MC0) 데이터를 센싱한 후 제2 메모리 블록(120) 내 메모리 셀(MC1)을 센싱하는 과정을 살펴보면 다음과 같다. 먼저, 제1 및 제2 비트라인 아이소레이션 신호들(PEQi, PEQj)이 외부 전압(VEXT) 레벨인 하이레벨이면 비트라인(BL)과 상보 비트라인(/BL)은 비트라인 프리차이지 전압(VBL) 레벨로 프리차이지된다. 이 후, 제1 메모리 블록(110) 내 메모리 셀(MC0)을 센싱하기 위하여, 제1 비트라인 이퀄라이징 신호(PEQi)가 접지 전압(VSS) 레벨인 로우레벨이 되고, 제1 비트라인 아이소레이션 신호(PIS0i)가 승압 전압(VPP) 레벨의 하이레벨이 되고, 메모리 셀(MC0)의 워드라인(WLn-1)이 승압 전압(VPP) 레벨로 인에이블되어,



메모리 셀(MC0) 데이터는 비트라인(BL)을 통해 차아지 세어링되면서 센스 앰프 회로(130)로 전달된다. 센스 앰프 회로(130)는 차아지 세어링된 비트라인(BL)의 전압 레벨과 상보 비트라인(/BL)의 비트라인 프리차아지 전압(VBL)을 비교하여 메모리 셀 데이터를 판단한다.

<18> 다음으로, 제2 메모리 블록(120) 내 메모리 셀(MC1)을 센싱하기 위하여, 제2 비트라인 이퀄라이징 신호(PEQj)가 접지 전압(VSS) 레벨의 로우레벨이 되고, 워드라인(WL1)이 승압 전압(VPP) 레벨로 인에이블되고, 제2 비트라인 아이소레이션 신호(PISOj)가 승압 전압(VPP) 레벨의 하이레벨이 되어, 메모리 셀(MC1) 데이터는 비트라인(BL)을 통해 차아지 세어링되면서 센스 앰프 회로(130)로 전달된다. 이 때, 제1 비트라인 이퀄라이징 신호(PEQi)는 외부 전압(VEXT) 레벨의 하이레벨이 되어 제1 메모리 블록(110) 내 비트라인들(BL, /BL)을 비트라인 프리차아지 전압(VBL)으로 프리차아지시킨다. 이러한 동작 과정은 도 2에 도시되어 있다.

<19> 여기에서, 제1 비트라인 이퀄라이징 신호(PEQi)를 접지 전압(VSS) 레벨의 로우레벨에서 외부 전압(VEXT) 레벨의 하이레벨로 상승시켜 비트라인들(BL, /BL)을 비트라인 프리차아지 전압(VBL)으로 프리차아지시키는 속도는 제1 이퀄라이저 트랜지스터(113)와 제2 이퀄라이저 트랜지스터(114)의 게이트-소스 전압( $V_{gs}$ )과 관련이 있다. DRAM의 저전압 동작을 만족하기 위하여, 외부 전압(VEXT) 레벨이 점점 낮아져 예컨대, 1.0V 정도로 낮아지고 내부 전압(VINT) 레벨이 외부 전압(VEXT) 레벨을

따라서 1.0V 정도가 되고 비트라인 프리차이지 전압(VBL)은 내부 전압(VINT) 레벨의 반(half)에 해당하는 0.5V 정도로 설정된다고 가정하자. 그러면, 제1 및 제2 이퀄라이저 트랜지스터들(113, 114)의 게이트-소스 전압( $V_{gs}$ )은 0.5V 정도 된다. 만약 제1 및 제2 이퀄라이저 트랜지스터들(113, 114)의 문턱 전압(threshold voltage)이 0.5V 이상일 경우, 제1 및 제2 이퀄라이저 트랜지스터들(113, 114)은 턴온되지 않기 때문에 비트라인들(BL, /BL)은 프리차이지되지 않는다. 그러므로, 제1 및 제2 이퀄라이저 트랜지스터들(113, 114)의 게이트인 비트라인 이퀄라이저 신호들(PEQi, PEQj)로는 외부 전압(VEXT) 이상의 전압 레벨이 인가되어야 한다.

<20> 그리고, DRAM이 저전압 동작 시 스탠바이 상태이면, 센스 앰프 회로(130) 내의 비트라인들(BL, /BL)은 제1 및 제2 비트라인 아이소레이션 회로(116, 126)와 제1 및 제2 비트라인 이퀄라이저 회로(112, 122)를 통해 비트라인 프리차이지 전압(VBL)으로 프리차이지된다. 이를 위하여, 제1 및 제2 비트라인 이퀄라이징 신호(PEQi, PEQj)는 외부 전압(VEXT)과 동일한 전압 레벨을 갖는 내부 전압(VINT)이 인가되는 비트라인 프리차이지 전압(VBL) 레벨보다 이퀄라이징 트랜지스터들(113, 114)의 문턱 전압( $V_{th}$ ) 만큼 높은 전압, 즉  $VINT + V_{th} = VEXT + V_{th}$  전압 레벨이 되어야 한다.

<21> 이와 같이, 비트라인 이퀄라이저 신호들(PEQi, PEQj)은 DRAM이 저전압 동작일 때 외부 전압(VEXT) 레벨 이상으로 펌핑해 주어야 한다. 이 경우, DRAM이 저소비 전력을 만족하기 위한 저전압 동작 모드임에도 불구하고, DRAM은 펌핑 전류의 증가로 인하여 많은 전류가 소모되는 문제점을 지닌다.

<22> 따라서, 펌핑 동작 없이 비트라인 이퀄라이징 신호들(PEQi, PEQj)로 높은 전압을 인가할 수 있는 반도체 메모리 장치가 요구된다.

## 【발명이 이루고자 하는 기술적 과제】

<23> 본 발명의 목적은 차아지 재사용(charge recycle) 방법을 이용하여 펌핑 동작 없이 비트라인 이퀄라이징 신호를 높은 전압으로 구동할 수 있는 반도체 메모리 장치를 제공하는 데 있다.

## 【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 메모리 장치는 제1 메모리 블록과 제2 메모리 블록 사이에 공유 센스 앰프 구조로 구성되고, 비트라인 아이소레이션 회로들과 비트라인 이퀄라이저 회로들, 비트라인 이퀄라이징 전압 발생 회로, 그리고 비트라인 이퀄라이징 신호 발생부들을 포함한다. 비트라인 아이소레이션 회로는 제1 및 제2 비트라인 아이소레이션 신호에 각각 응답하여 제1 및 제2 메모리 블록을 공유 센스 앰프와 선택적으로 연결시킨다. 비트라인 이퀄라이저 회로들은 제1 및 제2 메모리 블록 내 비트라인들을 제1 및 제2 비트라인 이퀄라이징 신호에 응답하여 비트라인 프리차아지 전압으로 각각 프리차아지시킨다. 비트라인 이퀄라이징 전압 발생 회로는 비트라인 아이소레이션 신호의 승압 전압 차아지를 재사용하여 비트라인 이퀄라이징 전압을 발생시켜 비트라인 이퀄라이징 신호와 연결시킨다. 비트라인 이퀄라이징 신호 발생부는 제1 및 제2 메모리 블록 선택 신호에 응답하여 제1 및 제2 비트라인 이퀄라이징 신호를 비트라인 이퀄라이징 전압으로 또는 외부 전압으로 선택적으로 구동한다.

<25> 구체적으로, 비트라인 이퀄라이징 전압 발생 회로는 승압 전압 레벨로 구동되고 제1 및 제2 메모리 블록 선택 신호들을 입력하여 제1 제어 신호를 발생하는 제1 제어부와, 외부 전압 레벨로 구동되고 제1 제어 신호를 입력하여 제2 제어 신호를 발생하는 제2 제어부와, 제1 제어 신호에 응답하여 제1 및 제2 비트라인 아이소레이션 신호를 등

가시키는 등가부와, 제2 제어 신호에 응답하여 제1 및 제2 비트라인 아이소레이션 신호들을 외부 전압 레벨로 구동하는 구동부와, 그리고 제1 또는 제2 비트라인 아이소레이션 신호의 비활성화시 승압 전압 레벨의 반에 해당하는 전압을 비트라인 이퀄라이징 전압으로 전달하는 전달부를 구비한다. 비트라인 이퀄라이징 신호 발생부들은 제1 및 제2 메모리 블록 선택 신호에 응답하여 각각 비트라인 이퀄라이징 전압 레벨로 제1 및 제2 비트라인 이퀄라이징 신호들을 구동하는 제1 구동부들과, 제1 및 제2 메모리 블록 선택 신호의 반전 신호에 응답하여 상기 외부 전압 레벨로 제1 및 제2 비트라인 이퀄라이징 신호들을 구동하는 제2 구동부들을 포함한다.

<26>       상기 목적을 달성하기 위하여 본 발명의 제2 실시예에 따른 메모리 장치는 워드라인 구동 신호의 승압 전압 차아지를 재사용하여 비트라인 이퀄라이징 신호와 연결되는 비트라인 이퀄라이징 전압을 발생하는 비트라인 이퀄라이징 전압 발생 회로를 포함한다. 비트라인 이퀄라이징 전압 발생 회로는 로우 디코더에서 발생하는 워드라인 어드레싱 신호를 입력하여 승압 전압 레벨의 워드라인 구동 신호를 발생하는 워드라인 구동 신호 발생부와, 비트라인 프리차아지 전압과 워드라인 어드레싱 신호의 천이시점에서 발생하는 워드라인 구동 펄스 신호에 응답하여 승압 전압 레벨의 워드라인 구동 신호를 비트라인 이퀄라이징 전압으로 전달하는 비트라인 이퀄라이징 전압 구동부를 포함한다. 비트라인 이퀄라이징 전압 구동부는 워드라인 구동 펄스 신호가 그 게이트에, 그리고 워드라인 구동 신호가 그 소스에 연결되는 제1 피모스 트랜지스터와, 제1 피모스 트랜지스터의 드레인이 그 소스에, 비트라인 프리차아지 전압이 그 게이트에, 그리고 비트라인 이퀄라이징 전압이 그 드레인에 연결되는 제2 피모스 트랜지스터로 구성된다.

<27>       상기 목적을 달성하기 위하여, 본 발명의 메모리 장치는 비트라인 이퀄라이징 전압 발생 회로, 외부 전압 검출부, 비트라인 이퀄라이징 전압 검출부, 오실레이터, 차아지 펌핑부, 그리고 스위칭부를 포함한다. 비트라인 이퀄라이징 전압 발생 회로는 비트라인 아이소레이션 신호의 승압 전압 차아지를 재사용하여 비트라인 이퀄라이징 신호와 연결되는 비트라인 이퀄라이징 전압을 발생한다. 외부 전압 검출부는 외부 전압과 기준 전압을 비교하여 제1 인에이블 신호를 발생한다. 비트라인 이퀄라이징 전압 검출부는 비트라인 이퀄라이징 전압과 비트라인 프리차아지 전압을 비교하여 제2 인에이블 신호를 발생한다. 오실레이터는 제1 및 제2 인에이블 신호에 응답하여 오실레이션 신호를 발생하고, 차아지 펌핑부는 오실레이션 신호에 응답하여 외부 전압의 차아지를 비트라인 이퀄라이징 전압으로 펌핑한다. 스위칭부는 제1 인에이블 신호에 응답하여 외부 전압을 상기 비트라인 이퀄라이징 전압으로 연결한다.

<28>       바람직하기로, 외부 전압 검출부는 전압 분배부와, 비교부, 그리고 드라이버부를 포함한다. 전압 분배부에는 외부 전압과 접지 전압 사이에 제1 내지 제3 저항이 직렬로 연결되고 제1 저항 양단에 제1 인에이블 신호에 게이팅되는 트랜지스터가 연결된다. 비교부는 기준 전압과 전압 분배부의 제2 저항과 제3 저항 사이의 노드 전압을 비교하고, 드라이버부는 비교부의 출력을 제1 인에이블 신호로 발생한다. 비트라인 이퀄라이징 전압 검출부는 전압 하강부, 비교부, 그리고 드라이버부를 포함한다. 전압 하강부에는 비트라인 이퀄라이징 전압과 접지 전압 사이에 다이오드형의 엔모스 트랜지스터와 저항이 직렬 연결된다. 비교부는 제1 인에이블 신호에 응답하여 비트라인 프리차아지 전압과 전압 하강부의 엔모스 트랜지스터와 저항 사이의 노드 전압을 비교하고, 드라이버부는 비교부의 출력을 제2 인에이블 신호로 발생한다.

<29> 따라서, 본 발명의 메모리 장치에 의하면, 디스차아지되는 승압 전압 레벨의 비트라인 아이소레이션 신호 또는 워드라인 구동 신호를 비트라인 이퀄라이징 신호의 레벨 상승을 위한 비트라인 이퀄라이징 전압으로 재사용하여 비트라인 이퀄라이징 신호의 레벨 상승을 위한 차이지 펄핑을 줄일 수 있기 때문에 메모리 장치의 저전력 동작 모드에 적합하다. 또한 저전력 동작시 메모리 장치와 연결되는 외부 전압 레벨이 낮아지면 비트라인 이퀄라이징 신호의 레벨을 소정 전압 이상 상승시킬 수 있기 때문에 비트라인들을 프리차아지시키는 데 안정적이다.

<30> 이하, 본 발명은 공유 센스 앰프 구조를 갖는 메모리 장치에 적용되는 예에 대하여 기술된다. 본 발명의 메모리 장치는 공유 센스 앰프와 연결되는 메모리 블록들이 다수개 배열되는 데, 도 1에 도시된 바와 같이 제1 메모리 블록(110)과 제2 메모리 블록(120)에 선택적으로 연결되는 센스 앰프 회로(130)가 대표적으로 설명된다. 그리고, 비트라인 이퀄라이징 신호(PEQ<sub>i</sub>, PEQ<sub>j</sub>)는 외부 전압(VEXT) 레벨로 구동되고 비트라인 아이소레이션 신호(PISO<sub>i</sub>, PISO<sub>j</sub>)는 승압 전압(VPP) 레벨로 구동되도록 설정되고, 승압 전압(VPP)은 외부 전압(VEXT) 보다 높은 전압 레벨을 갖도록 설정된다.

<31> 도 3a 및 도 3b는 비트라인 아이소레이션 신호 발생부들을 나타내는 도면이다. 도 3a는 제1 비트라인 아이소레이션 신호 발생부로서, 승압 전압(VPP)으로 구동되며 반전된 제1 메모리 블록 선택 신호(PBLS<sub>iB</sub>)와 제2 메모리 블록 선택 신호(PBLS<sub>j</sub>)에 응답하여 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)를 발생한다. 도 3b는 제2 비트라인 아이소레이션 신호 발생부로서, 승압 전압(VPP)에 의해 구동되며 반전된 제2 메모리 블록 선택 신호(PBLS<sub>jB</sub>)와 제1 메모리 블록 선택 신호(PBLS<sub>i</sub>)에 응답하여 제2 비트라인 아이소레이션 신호(PISO<sub>j</sub>)를 발생한다. 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)와 제2 비트라인 아이

소레이션 신호(PISOj)는 서로 반대로 활성화되는 신호들이다. 제1 메모리 블록(110, 도 1)을 선택하기 위해 제1 메모리 블록 선택 신호(PBLSi)가 하이레벨로 활성화되면, 제1 비트라인 아이소레이션 신호(PISOi)는 승압 전압(VPP) 레벨을 갖는 하이레벨이 되고 제2 비트라인 아이소레이션 신호(PISOj)는 접지 전압(VSS) 레벨을 갖는 로우레벨이 된다.

<32> 도 4는 본 발명의 제1 실시예에 따른 비트라인 이퀄라이징 전압 발생 회로를 나타내는 도면이다. 비트라인 이퀄라이징 전압 발생 회로(400)는 제1 비트라인 아이소레이션 신호(PISOi) 또는 제2 비트라인 아이소레이션 신호(PISOj)가 승압 전압(VPP) 레벨의 하이레벨에서 접지 전압(VSS) 레벨의 로우레벨로 천이할 때 승압 전압(VPP)의 차아지(charge)를 비트라인 이퀄라이징 전압(VEQ)으로 전달하며, 구체적으로 제1 제어부(410), 제2 제어부(420), 등가부(430), 구동부(440), 그리고 전달부(450)를 포함한다. 제1 제어부(410)는 승압 전압(VPP) 레벨로 구동되고 제1 및 제2 메모리 블록 선택 신호들(PBLSi, PBLSj)을 수신하여 제1 제어 신호(CNTL1)를 발생하는 오아(OR) 게이트(412)로 구성된다. 제2 제어부(420)는 외부 전압(VEXT) 레벨로 구동되고 제1 제어 신호(CNTL1)를 입력하여 제2 제어 신호(CNTL2)를 발생하는 인버터(422)로 구성된다. 등가부(430)는 제1 제어 신호(CNTL1)에 응답하여 제1 비트라인 아이소레이션 신호(PISOi)와 제2 비트라인 아이소레이션 신호(PISOj)를 증가시키는 제1 내지 제3 피모스 트랜지스터들(432, 434, 436)로 구성된다. 구동부(440)는 제2 제어 신호(CNTL2)에 응답하여 제1 및 제2 비트라인 아이소레이션 신호들(PISOi, PISOj)을 외부 전압(VEXT) 레벨로 구동하는 제1 및 제2 엔모스 트랜지스터들(442, 444)로 구성된다. 전달부(450)는 승압 전압(VPP) 레벨에 게이팅되어 등가부(430)의 A 노드 레벨을 이퀄라이저 전압(VEQ)으로 전달하는 엔모스 트랜지스터(452)로 구성된다.

- <33> 비트라인 이퀄라이징 전압 발생 회로(400)의 동작을 순차적으로 살펴보면 다음과 같다.
- <34> 첫번째로, 초기 상태일 때 제1 및 제2 메모리 블록 선택 신호(PBLSi, PBLsj)의 로우레벨에 응답하여 제1 제어 신호(CNTL1)는 로우레벨로, 그리고 제2 제어 신호(CNTL2)는 하이레벨로 발생된다. 하이레벨의 제2 제어 신호(CNTL2)에 응답하여 드라이버부(440) 내 엔모스 트랜지스터들(442, 444)이 턴온되어 제1 및 제2 비트라인 아이소레이션 신호(PISOi, PISOj)는 외부 전압(VEXT) 레벨이 된다. 로우레벨의 제1 제어 신호(CNTL1)에 응답하여 등가부(430) 내 피모스 트랜지스터들(432, 434, 436)이 턴온되어 제1 및 제2 비트라인 아이소레이션 신호들(PISOi, PISOj)은 외부 전압(VEXT) 레벨로 등화된다.
- <35> 두번째로, 제1 메모리 블록(110, 도 1)이 선택되면 제1 메모리 블록 선택 신호(PBLSi)의 하이레벨에 응답하여 제1 제어 신호(CNTL1)는 하이레벨로, 그리고 제2 제어 신호(CNTL2)는 로우레벨로 발생된다. 그리고, 도 3a의 제1 비트라인 아이소레이션 신호 발생부에 의해 제1 비트라인 아이소레이션 신호(PISOi)는 승압 전압 레벨로, 그리고 도 3b의 제2 비트라인 아이소레이션 신호 발생부에 의해 제2 비트라인 아이소레이션 신호(PISO)는 접지 전압 레벨로 발생된다. 로우레벨의 제1 제어 신호(CNTL1)에 응답하여 등가부(430) 내 피모스 트랜지스터들(432, 434, 436)이 턴오프되고, 하이레벨의 제2 제어 신호(CNTL2)에 응답하여 구동부(440) 내 엔모스 트랜지스터들(442, 444)이 턴오프된다. 이 때, 제1 메모리 블록(110, 도 1)은 승압 전압(VPP) 레벨의 제1 비트라인 아이소레이션 신호(PISOi)에 응답하여 비트라인 아이소레이션 회로(116, 도 1)의 엔모스 트랜지스터들(117, 118)이 턴온되어 선택된 메모리 셀(MC0) 데이터는 센스 앰프(130)에 의해 감지 증폭된다.



<36> 세번째로, 제1 메모리 블록(110)이 비선택되면, 다시 로우레벨의 제1 및 제2 메모리 블록 선택 신호(PBLS<sub>i</sub>, PBLS<sub>j</sub>)에 응답하여 제1 제어 신호(CNTL1)는 접지 전압(VSS) 레벨의 로우레벨로, 그리고 제2 제어 신호(CNTL2)는 외부 전압(VEXT) 레벨의 하이레벨로 발생된다. 이 때, 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)는 승압 전압(VPP) 레벨에 있고 제2 비트라인 아이소레이션 신호(PISO<sub>j</sub>)는 접지 전압(VSS) 레벨에 있다. 외부 전압(VEXT) 레벨의 제2 제어 신호(CNTL2)가 구동부(440)로 제공되면 제1 엔모스 트랜지스터(442)는 턴오프되고 제2 엔모스 트랜지스터(444)는 다이오드 연결된다. 접지 전압(VSS) 레벨의 제1 제어 신호(CNTL1)에 의해 등가부(430)의 피모스 트랜지스터들(432, 434, 436)이 턴온되어 노드 NA의 전압 레벨은 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)의 승압 전압(VPP) 레벨과 제2 비트라인 아이소레이션 신호(PISO<sub>j</sub>)의 접지 전압(VSS) 사이의 중간 전압 레벨 값을 갖는다. 승압 전압(VPP) 레벨의 반(VPP/2)에 해당하는 전압 레벨을 갖는 노드 NA는 전달부(450)를 통해 이퀄라이저 전압(VEQ)으로 전달된다. 이는 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)가 도 3a의 제1 비트라인 아이소레이션 신호 발생부에 의해 승압 전압(VPP) 레벨의 하이레벨에서 접지 전압(VSS) 레벨의 로우레벨로 천이하면서 없어지는 승압 전압(VPP)의 차아지를 이퀄라이저 전압(VEQ)으로 재사용한다는 것을 의미한다.

<37> 네번째로, 제2 메모리 블록(120, 도 1)이 선택되면 제1 메모리 블록(110)이 선택될 때와 마찬가지로, 이퀄라이저 전압 발생부(400) 내 등가부(430)와 구동부(440)의 동작이 오프된다. 도 3b의 제2 비트라인 아이소레이션 신호 발생부에 의해 제2 비트라인 아이소레이션 신호(PISO<sub>j</sub>)는 승압 전압(VPP)의 하이레벨로 발생되어 제2 메모리 블록(120, 도 1)을 센스 앰프 회로(130)와 연결시킨다. 이 때, 도 3a의 제1 비트라인 아이소레이션

신호 발생부에 의해 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)는 접지 전압의 로우레벨이 되어 제1 메모리 블록(100, 도 1)과 센스 앰프 회로(130)와의 연결을 차단시킨다.

<38> 다섯번째로, 제2 메모리 블록(120, 도 1)이 비선택되면 제1 메모리 블록(110)의 비선택시와 마찬가지로, 비트라인 이퀄라이징 전압(VEQ)은 제2 비트라인 아이소레이션 신호(PISO<sub>j</sub>)의 승압 전압(VPP) 레벨과 제1 비트라인 아이소레이션 신호(PISO<sub>i</sub>)의 접지 전압(VSS) 레벨의 반( $VPP/2$ )에 해당하는 전압 레벨이 비트라인 이퀄라이징 전압(VEQ)으로 전달된다. 이 또한, 제2 비트라인 아이소레이션 신호(PISO<sub>j</sub>)가 도 3b의 제2 비트라인 아이소레이션 신호 발생부에 의해 승압 전압(VPP) 레벨의 하이레벨에서 접지 전압(VSS) 레벨의 로우레벨로 천이하면서 없어지는 승압 전압(VPP)의 차아지를 비트라인 이퀄라이징 전압(VEQ)으로 재사용한다는 것을 의미한다.

<39> 도 5a 및 도 5b는 비트라인 이퀄라이저 신호 발생부들을 나타내는 도면이다. 도 5a는 제1 비트라인 이퀄라이저 신호 발생부를 나타내는 것으로, 제1 메모리 블록 선택 신호(PBLS<sub>i</sub>)에 응답하여 비트라인 이퀄라이징 전압(VEQ) 레벨로 제1 비트라인 이퀄라이징 신호(PEQ<sub>i</sub>)를 구동하는 제1 구동부(510)와 반전된 제1 메모리 블록 선택 신호(PBLS<sub>i</sub>B)에 응답하여 외부 전압(VEXT) 레벨로 제1 비트라인 이퀄라이징 신호(PEQ<sub>i</sub>)를 구동하는 제2 구동부(520)를 포함한다. 제1 구동부(510)는 비트라인 이퀄라이징 전압(VEQ)과 접지 전압(VSS) 사이에 연결되며 제1 메모리 블록 선택 신호(PBLS<sub>i</sub>)를 입력하여 제1 비트라인 이퀄라이징 신호(PEQ<sub>i</sub>)를 출력하는 인버터로 구성된다. 제2 구동부(520)는 외부 전압(VEXT)과 접지 전압(VSS) 사이에 연결되며 반전된 제1 메모리 블록 선택 신호(PBLS<sub>i</sub>B)에 게이팅되는 엔모스 트랜지스터로 구성된다.

<40> 제1 비트라인 이퀄라이저 신호 발생부의 동작은 다음과 같다. 제1 메모리 블록 선택 신호(PBLSi)가 하이레벨이면, 제1 비트라인 이퀄라이징 신호(PEQi)는 접지 전압(VSS) 레벨의 로우레벨이 되어 제1 메모리 블록(110, 도 1)의 비트라인과 상보 비트라인(BL, /BL)의 프리차아지를 차단한다. 이는 제1 메모리 블록(110, 도 1)이 선택되어 제1 메모리 블록(110, 도 1)의 비트라인이 센스 앰프 회로(130, 도 1)와 연결되어 선택되는 메모리 셀 데이터를 센싱하는 동작과 잘 부합한다. 이와 반대로, 제1 메모리 블록(110, 도 1)이 비선택되어 제1 메모리 블록 선택 신호(PBLSi)가 로우레벨이 되면, 제1 비트라인 이퀄라이징 신호(PEQi)는 제1 구동부(510)에 의해 비트라인 이퀄라이징 전압(VEQ) 레벨로 구동되거나 제2 구동부(520)에 의해 외부 전압(VEXT) 레벨로 구동된다. 여기에서, 제1 비트라인 이퀄라이징 신호(PEQi)는 하이레벨로 상승되어 제1 메모리 블록(110, 도 1)의 비트라인과 상보 비트라인(BL, /BL)을 프리차아지시켜야 하는 데, 제1 비트라인 이퀄라이징 신호(PEQi)가 도 4의 비트라인 이퀄라이징 전압 발생부(400)에 의해 제1 비트라인 아이소레이션 신호(PISOi)의 승압 전압(VPP) 차아지를 재사용하여 발생하는 비트라인 이퀄라이징 전압(VEQ)으로 구동되면 빨리 하이레벨로 상승된다. 더욱이, 외부 전압(VEXT) 레벨이 낮을 경우에, 외부 전압(VEXT) 레벨보다 높은 비트라인 이퀄라이징 전압(VEQ) 레벨의 제1 비트라인 이퀄라이징 신호(PEQi)는 비트라인 아이소레이션 회로(112, 도 1) 내 엔모스 트랜지스터들(113, 114)을 턴온시키기에 충분하므로 제1 메모리 블록(110, 도 1)의 비트라인들(BL, /BL)을 프리차아지시킨다.

<41> 도 5b는 제2 비트라인 이퀄라이저 신호 발생부로서, 도 5a의 제1 비트라인 이퀄라이저 신호 발생부와 그 구성 및 동작이 거의 동일하므로 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다. 간단히, 제2 메모리 블록(120, 도 1)이 선택되면 제2 비트라

인 이퀄라이징 신호(PEQj)는 접지 전압(VSS) 레벨의 로우레벨이 되고, 제2 메모리 블록 (120, 도 1)이 비선택되면 제2 비트라인 이퀄라이징 신호(PEQj)는 비트라인 이퀄라이징 전압(VEQ) 또는 외부 전압(VEXT)의 하이레벨로 구동된다.

<42> 도 6은 본 발명의 제2 실시예에 따른 비트라인 이퀄라이징 전압 발생 회로를 나타내는 도면이다. 비트라인 이퀄라이징 전압 발생 회로(600)는 워드라인 구동 신호 발생부(610)와 이퀄라이저 전압 구동부(620)를 포함한다. 워드라인 구동 신호 발생부(610)는 로우 디코더(미도시)에서 발생하는 X 어드레싱 신호(PXI)를 입력하여 승압 전압(VPP) 레벨로 구동되는 워드라인 구동 신호(PXID)와 워드라인 리셋 신호(PXIB)를 발생한다. 워드라인 구동 신호(PXID)와 워드라인 리셋 신호(PXIB)는 도 7의 서브 워드라인 드라이버(700)로 제공되어 서브 워드라인(SWL)을 승압 전압(VPP) 레벨로 구동한다. 서브 워드라인 드라이버(700)는 메인 워드라인 드라이버(미도시)에서 제공되는 워드라인 인에이블 신호(NWEi)와 워드라인 구동 신호(PXID)에 응답하여 서브 워드라인(SWL)을 승압 전압(VPP) 레벨로 구동하여 서브 워드라인(SWL)과 연결되는 메모리 셀의 워드라인을 인에이블시킨다. 그리고 서브 워드라인 드라이버(700)는 워드라인 리셋 신호(PXIB)에 응답하여 서브 워드라인(SWL)을 리셋시켜 메모리 셀의 워드라인을 디세이블시킨다.

<43> 다시, 도 6으로 돌아가서, 이퀄라이저 전압 구동부(620)는 비트라인 프리차이지 전압(VBL)과 워드라인 구동 펄스 신호(PXIP)에 응답하여 워드라인 구동 신호 발생부(610)에서 발생된 승압 전압(VPP) 레벨의 워드라인 구동 신호(PXID)를 비트라인 이퀄라이징 전압(VEQ)으로 전달한다. 워드라인 구동 펄스 신호(PXIP)는 X 어드레싱 신호(PXI)가 하이레벨에서 로우레벨로 천이하는 시점에서 로우레벨의 펄스로 발생하는 신호이다. 그러므로, 이퀄라이저 전압 구동부(620)는 워드라인 구동 펄스 신호(PXIP)의 로우레벨 펄스

구간 동안 워드라인 구동 신호(PXID)의 승압 전압(VPP) 차아지를 비트라인 이퀄라이징 전압(VEQ)으로 전달한다. 이는 X 어드레싱 신호(PXI)의 로우레벨에 응답하는 워드라인 구동 신호 발생부(610)를 통하여 하이레벨에서 로우레벨로 천이하는 워드라인 구동 신호(PXID)의 승압 전압(VPP) 차아지를 비트라인 이퀄라이징 전압(VEQ)으로 재사용한다는 것을 의미한다.

<44> 도 8은 도 6의 비트라인 이퀄라이징 전압 발생 회로를 사용하는 메모리 장치(100, 도 1)의 동작 파형을 나타내는 도면이다. 이를 참조하면, 메모리 장치(100< 도 1) 내 제 1 메모리 블록(110)이 선택되면 제1 비트라인 이퀄라이징 신호(PEQi)가 로우레벨로 비활성화되고 제1 비트라인 아이소레이션 신호(PISOi)가 하이레벨로 활성화되고 제2 비트라인 아이소레이션 신호(PISOj)는 로우레벨로 비활성화되고 제1 메모리 블록(110) 내 소정의 워드라인 구동 신호(PXID, 도 6: 궁극적으로 워드라인(WL)과 연결되므로 여기에서는 워드라인(WL)이라 칭한다)는 승압 전압(VPP) 레벨로 인에이블된다. 이 후, 워드라인(WL)이 디세이블되면 워드라인(WL) 상의 승압 전압(VPP) 차아지가 제1 비트라인 이퀄라이징 신호(PEQi)로 전달되어 제1 비트라인 이퀄라이징 신호(PEQi) 레벨이 비트라인 이퀄라이징 전압(VEQ)으로 상승된다. 그리고, 제1 및 제2 비트라인 아이소레이션 신호(PISOi, PISOj)도 비트라인 이퀄라이징 전압(VEQ) 레벨이 된다. 이는 디세이블되는 워드라인(WL)의 승압 전압(VPP) 레벨 차아지를 제1 비트라인 이퀄라이징 신호(PEQi) 레벨 상승을 위해 재사용함으로써 제1 비트라인 이퀄라이징 신호(PEQi)의 활성화 레벨이 종래 도 2의 외부 전압(VEXT) 레벨 보다 높은 비트라인 이퀄라이징 전압(VEQ) 레벨이 된다는 것을 의미한다.

<45> 도 9는 도 4 또는 도 6의 비트라인 이퀄라이징 전압 발생부(400, 600)와 차아지 펌핑 회로를 이용하는 이퀄라이징 전압 발생부를 나타내는 도면이다. 이를 참조하면, 이퀄라이징 전압 발생부(900)는 제1 비트라인 이퀄라이징 전압 발생부(400 또는 600), 외부 전압(VEXT) 검출부(910), 비트라인 이퀄라이징 전압(VEQ) 검출부(920), 오실레이터(930), 차아지 펌핑 회로(940), 그리고 스위칭부(950)를 포함한다. 제1 비트라인 이퀄라이징 전압 발생부(400 또는 600)는 앞서 설명한 바와 같이 비트라인 아이소레이션 신호(PISO<sub>i</sub>, 도 4)와 워드라인 구동 신호(PXID, 도 6)의 승압 전압(VPP) 차아지를 재사용하여 비트라인 이퀄라이징 전압(VEQ)을 발생한다. 외부 전압 검출부(910)는 기준 전압(VREF)과 외부 전압(VEXT) 레벨을 비교 감지하여 제1 인에이블 신호(EN1)를 출력하는 데, 구체적으로 도 10에 도시되어 있다.

<46> 도 10을 참조하면, 외부 전압 검출부(910)는 전압 분배부(1010), 비교부(1020), 그리고 드라이버부(1030)를 포함한다. 전압 분배부(1010)에는 제1 저항(R1), 제2 저항(R2) 그리고 제3 저항(R3)이 외부 전압(VEXT)과 접지 전압(VSS) 사이에 직렬 연결되고 제1 저항(R1) 양단에 제1 인에이블 신호(EN1)에 게이팅되는 피모스 트랜지스터(1012)가 연결된다. 제2 저항(R2)와 제3 저항(R3)은 동일한 저항 값을 갖고 제1 저항(R1)은 제2 및 제3 저항(R2, R3) 값에 비하여 상당히 높은 저항 값을 갖도록 설정된다. 제1 인에이블 신호(EN1)가 로우레벨이면 외부 전압 분배부(1010)의 출력 노드 A는 외부 전압(VEXT) 레벨의 반(VEXT/2)에 해당하는 전압 레벨이 된다. 제1 인에이블 신호(EN1)가 하이레벨이면 출력 노드 A는 외부 전압(VEXT) 레벨의 반(VEXT/2)에 해당하는 전압 레벨 보다 낮은 전압 레벨이 된다. 비교부(1020)는 기준 전압(VREF) 레벨과 전압 분배부(1010)의 출력 노드 A의 전압 레벨을 비교하고, 비교부(1020)의 출력은 드라이버부(1030)를 통해 제1 인에이블

신호(EN1)로 발생된다. 기준 전압(VREF)은 외부 전압(VEXT)의 반( $VEXT/2$ )에 해당하는 전압 레벨이 되도록 설정된다.

<47> 외부 전압 검출부(910)의 동작은 다음과 같다. 외부 전압(VEXT) 레벨이 낮을 때  $VEXT/2$  보다 낮은 전압 레벨의 전압 분배부(1010) 출력 노드 A와  $VEXT/2$ 의 기준 전압(VREF)을 비교하여 비교부(1020)의 출력은 하이레벨이 되어 제1 인에이블 신호(EN1)는 하이레벨로 발생된다. 이 후, 외부 전압(VEXT) 레벨이 상승하여 전압 분배부(1010) 출력 노드 A가  $VEXT/2$  전압 레벨 이상이 되면 비교부(1020)의 출력은 로우레벨이 되어 제1 인에이블 신호(EN1)는 로우레벨이 된다. 제1 인에이블 신호(EN1)에 응답하여 전압 분배부(1010)의 피모스 트랜지스터(1012)가 턴온되면, 출력 노드 A는  $VEXT/2$  레벨이 되어 제1 인에이블 신호(EN1)는 로우레벨을 유지한다.

<48> 도 9의 비트라인 이퀄라이징 전압 검출부(920)는 도 11에 구체적으로 도시된다. 도 11을 참조하면, 비트라인 이퀄라이징 전압 검출부(920)는 비트라인 이퀄라이징 전압 하강부(1110), 비교부(1120), 그리고 드라이버부(1130)를 포함한다. 비트라인 이퀄라이징 전압 하강부(1110)는 비트라인 전압(VEQ)과 접지 전압(VSS) 사이에 다이오드 연결된 엔모스 트랜지스터(1112)와 저항(RD)이 직렬 연결된다. 엔모스 트랜지스터(1112)는 높은 문턱 전압( $V_{th}$ )을 갖도록 설정된다. 비트라인 이퀄라이징 전압 하강부(1110)의 출력 노드 B는 비트라인 이퀄라이징 전압(VEQ)에서 엔모스 트랜지스터(1112)의 문턱 전압( $V_{th}$ )만큼 하강된 전압( $VEQ - V_{th}$ ) 레벨을 발생한다. 비교부(1120)는 하이레벨의 제1 인에이블 신호(EN1)에 응답하여 비트라인 전압(VBL) 레벨과 출력 노드 B의 전압 레벨을 비교하고, 로우레벨의 제1 인에이블 신호(EN1)에 응답하여 로우레벨의 출력을 발생한다. 비교부(1120)의 출력은 드라이버부(1130)를 통해 제2 인에이블 신호(EN2)로 발생된다. 비트라

인 이퀄라이징 전압(VEQ) 레벨이 낮을 경우 출력 노드 B의 전압 레벨이 비트라인 전압(VBL) 보다 낮아서 비교부(1120)의 출력은 하이레벨로, 그리고 제2 인에이블 신호(EN2)는 하이레벨로 발생된다. 이 후, 비트라인 이퀄라이징 전압(VEQ)이 상승하여 출력 노드 B의 전압 레벨이 비트라인 전압(VBL) 보다 엔모스 트랜지스터(1112)의 문턱 전압( $V_{th}$ )만큼 높은 전압 레벨이 되면 비교부(1120)의 출력은 로우레벨로, 그리고 제2 인에이블 신호(EN2)는 로우레벨로 발생된다.

<49> 오실레이터(930)는 도 12에 도시되어 있으며, 제1 및 제2 인에이블 신호(EN1, EN2)에 응답하여 오실레이션 신호(OSC)를 발생한다. 제1 및 제2 인에이블 신호(EN1, EN2)의 하이레벨에 응답하여 오실레이션 신호(OSC)가 발생된다.

<50> 다시, 도 9로 돌아가서, 비트라인 이퀄라이징 전압 발생부(900) 내 차아지 펌핑부(940)는 오실레이션 신호(OSC)에 응답하여 외부 전압(VEXT)을 차아지 펌핑하여 비트라인 이퀄라이징 전압(VEQ)을 발생한다.

<51> 이러한 비트라인 이퀄라이징 전압 발생부(900)의 동작은 도 13을 참조하여 다음과 같이 설명된다. 먼저, 외부 전압(VEXT) 레벨이 낮을 때 외부 전압 검출부(910)의 출력인 제1 인에이블 신호(EN1)가 하이레벨로 발생된다. 하이레벨의 제1 인에이블 신호(EN1)를 입력하는 스위칭부(950) 내 인버터(952)의 출력이 로우레벨이 되어 스위치(954)가 오프됨에 따라 외부 전압(VEXT)과 비트라인 이퀄라이징 전압(VEQ)과의 연결이 차단된다. 비트라인 이퀄라이징 전압(VEQ)는 비트라인 이퀄라이징 전압 발생부(400 또는 600)에 의해 발생된다. 비트라인 이퀄라이징 전압 검출부(920)는 비트라인 이퀄라이징 전압(VEQ)과 비트라인 프리차아지 전압(VBL)을 비교하여 비트라인 이퀄라이징 전압(VEQ)이 낮을 경우 그 출력인 제2 인에이블 신호(EN2)도 하이레벨로 발생된다. 그리하여, 하이레벨의 제1



및 제2 인에이블 신호(EN1, EN2)에 응답하여 오실레이터(930)가 인에이블되고 그 출력인 오실레이션 신호(OSC)에 따른 차아지 펌부(940)의 차아지 펌핑 동작을 통해 비트라인 이퀄라이징 전압(VEQ)이 상승한다. 여기에서, 상승하는 비트라인 이퀄라이징 전압(VEQ)은 도 13의 A 구간에서 보여주는 바와 같이 비트라인 프리차아지 전압(VBL)과 트랜지스터(113, 114, 도 1) 문턱 전압( $V_{th}$ ) 만큼의 차이를 갖는다.

<52> 이 후, 외부 전압(VEXT)이 높아져서 기준 전압(VREF) 보다 높아지면, 외부 전압 검출부(910)의 출력인 제1 인에이블 신호(EN1)가 로우레벨이 되고 스위치(954)가 온(on)되어 비트라인 이퀄라이징 전압(VEQ)은 외부 전압(VEXT)과 연결된다. 이는 도 13의 C 점에서 비트라인 이퀄라이징 전압(VEQ)이 외부 전압(VEXT)으로 상승하고 B 구간을 따라 외부 전압(VEXT) 레벨로 발생된다. 여기에서 도 13은 외부 전압(VEXT) 레벨을 따라 내부 전압(VINT)이 발생되는 것으로 설정된다.

<53> 다음으로, 외부 전압(VEXT)이 다시 낮아지면, 비트라인 이퀄라이징 전압(VEQ)은 외부 전압(VEXT) 레벨을 따라 낮아지다가 도 13의 D 점에서 비트라인 프리차아지 전압(VBL)과 트랜지스터(113, 114, 도 1)의 문턱 전압( $V_{th}$ ) 만큼의 차이를 갖도록 발생된다. 이 때, 외부 전압 검출부(910)의 출력 제1 인에이블 신호(EN1)가 하이레벨이 되어 스위치(954)가 오프되고 비트라인 이퀄라이징 전압 검출부(920)가 인에이블된다. 여기에서, 비트라인 이퀄라이징 전압(VEQ)은 E 구간에서 히스테리시스(hysteresis)를 갖는 데, 이는 외부 전압(VEXT) 변동에 대하여 안정적으로 비트라인 이퀄라이징 전압(VEQ)을 발생시키기 위함이다.

<54> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명

의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<55> 상술한 본 발명은 메모리 장치 내 비트라인 아이소레이션 신호 또는 워드라인 구동 신호가 비트라인 이퀄라이징 신호와 서로 반대로 활성화되는 점을 착안하여, 디스차아지되는 승압 전압 레벨의 비트라인 아이소레이션 신호 또는 워드라인 구동 신호를 비트라인 이퀄라이징 신호의 레벨 상승을 위한 비트라인 이퀄라이징 전압으로 재사용한다. 이에 따라, 종래의 비트라인 이퀄라이징 신호의 레벨 상승을 위한 차아지 펌핑을 줄일 수 있기 때문에 메모리 장치의 저전력 동작 모드에 적합하다. 또한 저전력 동작시 메모리 장치와 연결되는 외부 전압 레벨이 낮아지면 비트라인 이퀄라이징 신호의 레벨을 소정 전압 이상 상승시킬 수 있기 때문에 비트라인을 프리차아지시키는 데 안정적이다.

**【특허 청구범위】****【청구항 1】**

제1 메모리 블록과 제2 메모리 블록 사이에 공유 센스 앰프 구조를 갖는 메모리 장치에 있어서,

제 1 및 제2 비트라인 아이소레이션 신호에 각각 응답하여 상기 제1 및 제2 메모리 블록을 상기 공유 센스 앰프와 선택적으로 연결시키는 비트라인 아이소레이션 회로들;

상기 제1 및 제2 메모리 블록 내 비트라인들을 제1 및 제2 비트라인 이퀄라이징 신호에 응답하여 비트라인 프리차아지 전압으로 각각 프리차아지시키는 비트라인 이퀄라이저 회로들; 및

상기 비트라인 아이소레이션 신호의 승압 전압 차아지를 재사용하여 상기 비트라인 이퀄라이징 신호와 연결되는 비트라인 이퀄라이징 전압을 발생하는 비트라인 이퀄라이징 전압 발생 회로를 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 비트라인 이퀄라이징 전압 발생 회로는

승압 전압 레벨로 구동되고 상기 제1 및 제2 메모리 블록 선택 신호들을 입력하여 제1 제어 신호를 발생하는 제1 제어부;

외부 전압 레벨로 구동되고 상기 제1 제어 신호를 입력하여 제2 제어 신호를 발생하는 제2 제어부;

상기 제1 제어 신호에 응답하여 상기 제1 및 제2 비트라인 아이소레이션 신호를 등가시키는 등가부;

상기 제2 제어 신호에 응답하여 상기 제1 및 제2 비트라인 아이소레이션 신호들을 상기 외부 전압 레벨로 구동하는 구동부; 및

상기 제1 또는 제2 비트라인 아이소레이션 신호의 비활성화시 상기 승압 전압 레벨의 반에 해당하는 전압을 비트라인 이퀄라이징 전압으로 전달하는 전달부를 구비하는 것을 특징으로 하는 메모리 장치.

### 【청구항 3】

제1항에 있어서, 상기 메모리 장치는

상기 제1 및 제2 메모리 블록 선택 신호에 응답하여 상기 제1 및 제2 비트라인 이퀄라이징 신호를 상기 비트라인 이퀄라이징 전압으로 또는 상기 외부 전압으로 선택적으로 구동하는 제1 및 제2 비트라인 이퀄라이징 신호 발생부들을 더 구비하는 것을 특징으로 하는 메모리 장치.

### 【청구항 4】

제3항에 있어서, 상기 비트라인 이퀄라이징 신호 발생부들은

상기 제1 및 제2 메모리 블록 선택 신호에 응답하여 각각 상기 비트라인 이퀄라이징 전압 레벨로 상기 제1 및 제2 비트라인 이퀄라이징 신호들을 구동하는 제1 구동부들; 및

상기 제1 및 제2 메모리 블록 선택 신호의 반전 신호에 응답하여 상기 외부 전압 레벨로 상기 제1 및 제2 비트라인 이퀄라이징 신호들을 구동하는 제2 구동부들을 구비하는 것을 특징으로 하는 메모리 장치.

## 【청구항 5】

제1 메모리 블록과 제2 메모리 블록 사이에 공유 센스 앰프 구조를 갖는 메모리 장치에 있어서,

제 1 및 제2 비트라인 아이소레이션 신호에 각각 응답하여 상기 제1 및 제2 메모리 블록을 상기 공유 센스 앰프와 선택적으로 연결시키는 비트라인 아이소레이션 회로들;

상기 제1 및 제2 메모리 블록 내 비트라인들을 제1 및 제2 비트라인 이퀄라이징 신호에 응답하여 비트라인 프리차아지 전압으로 각각 프리차아지시키는 비트라인 이퀄라이저 회로들;

워드라인 구동 신호의 승압 전압 차아지를 재사용하여 상기 비트라인 이퀄라이징 신호와 연결되는 비트라인 이퀄라이징 전압을 발생하는 비트라인 이퀄라이징 전압 발생 회로를 구비하는 것을 특징으로 하는 메모리 장치.

## 【청구항 6】

제5항에 있어서, 상기 비트라인 이퀄라이징 전압 발생 회로는

로우 디코더에서 발생하는 워드라인 어드레싱 신호를 입력하여 승압 전압 레벨의 상기 워드라인 구동 신호를 발생하는 워드라인 구동 신호 발생부; 및

상기 비트라인 프리차아지 전압과 상기 워드라인 어드레싱 신호의 천이시점에서 발생하는 워드라인 구동 펄스 신호에 응답하여 상기 승압 전압 레벨의 상기 워드라인 구동 신호를 상기 비트라인 이퀄라이징 전압으로 전달하는 비트라인 이퀄라이징 전압 구동부를 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 7】**

제6항에 있어서, 상기 비트라인 이퀄라이징 전압 구동부는

상기 워드라인 구동 펄스 신호가 그 게이트에, 그리고 상기 워드라인 구동 신호가 그 소스에 연결되는 제1 피모스 트랜지스터; 및

상기 제1 피모스 트랜지스터의 드레인이 그 소스에, 상기 비트라인 프리차아지 전압이 그 게이트에, 그리고 상기 비트라인 이퀄라이징 전압이 그 드레인에 연결되는 제2 피모스 트랜지스터를 구비하는 것을 특징으로 하는 메모리 장치.

**【청구항 8】**

비트라인 아이소레이션 신호의 승압 전압 차아지를 재사용하여 상기 비트라인 이퀄라이징 신호와 연결되는 비트라인 이퀄라이징 전압을 발생하는 비트라인 이퀄라이징 전압 발생 회로;

외부 전압과 기준 전압을 비교하여 제1 인에이블 신호를 발생하는 외부 전압 검출부;

비트라인 이퀄라이징 전압과 비트라인 프리차아지 전압을 비교하여 제2 인에이블 신호를 발생하는 비트라인 이퀄라이징 전압 검출부;

상기 제1 및 제2 인에이블 신호에 응답하여 오실레이션 신호를 발생하는 오실레이터;

상기 오실레이션 신호에 응답하여 외부 전압의 차아지를 상기 비트라인 이퀄라이징 전압으로 펄핑하는 차아지 펄핑부; 및

상기 제1 인에이블 신호에 응답하여 상기 외부 전압을 상기 비트라인 이퀄라이징 전압으로 연결하는 스위칭부를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 외부 전압 검출부는

상기 외부 전압과 접지 전압 사이에 제1 내지 제3 저항이 직렬로 연결되고 상기 제1 저항 양단에 상기 제1 인에이블 신호에 게이팅되는 트랜지스터가 연결되는 전압 분배부;

상기 기준 전압과 상기 전압 분배부의 상기 제2 저항과 제3 저항 사이의 노드 전압을 비교하는 비교부; 및

상기 비교부의 출력을 상기 제1 인에이블 신호로 발생하는 드라이버부를 구비하는 것을 특징으로 하는 메모리 장치.

【청구항 10】

제8항에 있어서, 상기 비트라인 이퀄라이징 전압 검출부는

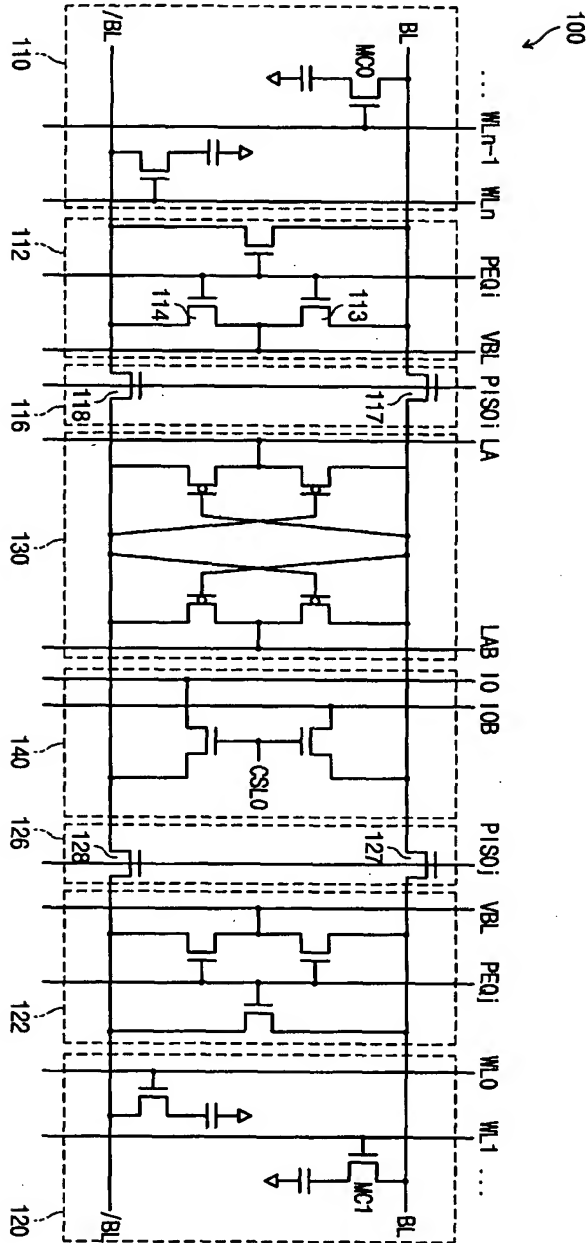
상기 비트라인 이퀄라이징 전압과 접지 전압 사이에 다이오드형의 엔모스 트랜지스터와 저항이 직렬 연결되는 전압 하강부;

상기 제1 인에이블 신호에 응답하여 상기 비트라인 프리차아지 전압과 상기 전압 하강부의 엔모스 트랜지스터와 상기 저항 사이의 노드 전압을 비교하는 비교부; 및

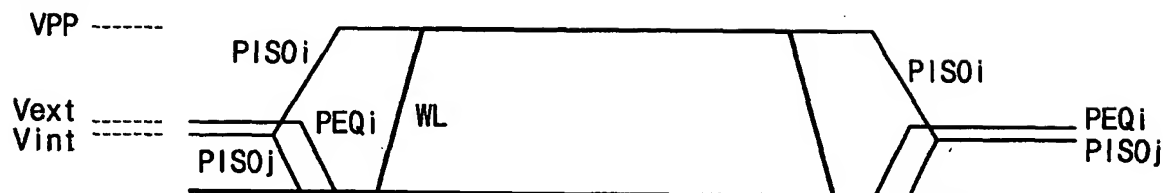
상기 비교부의 출력을 상기 제2 인에이블 신호로 발생하는 드라이버부를 구비하는 것을 특징으로 하는 메모리 장치.

【도면】

【도 1】

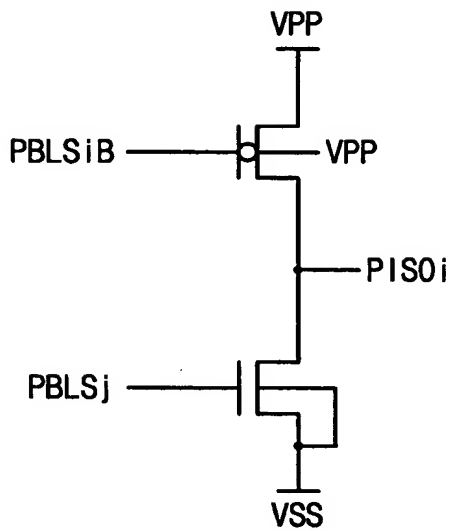


【도 2】

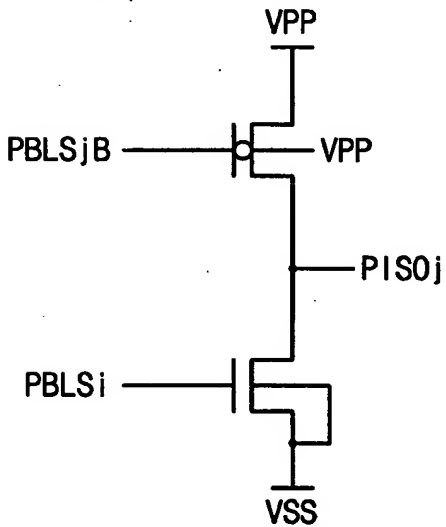




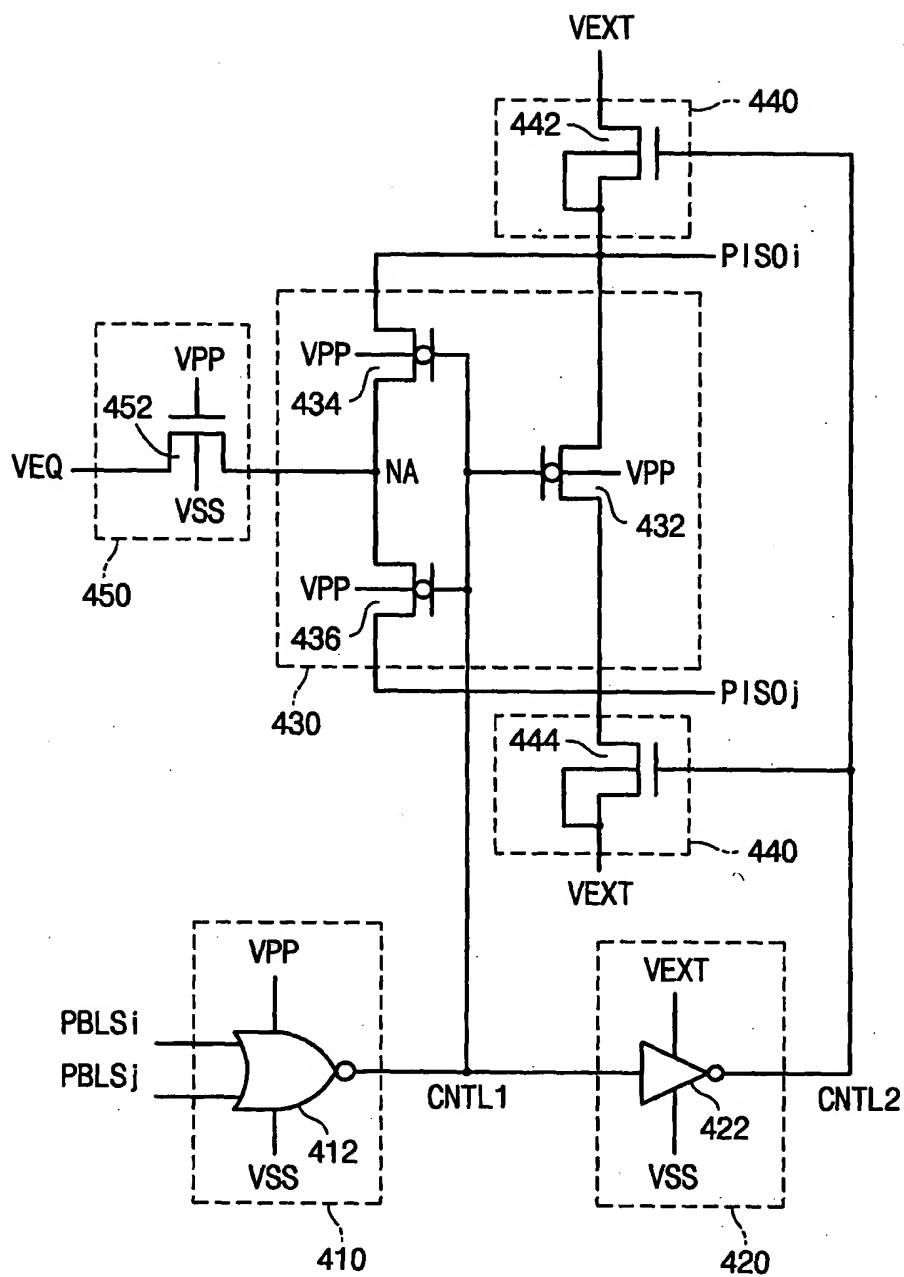
【도 3a】



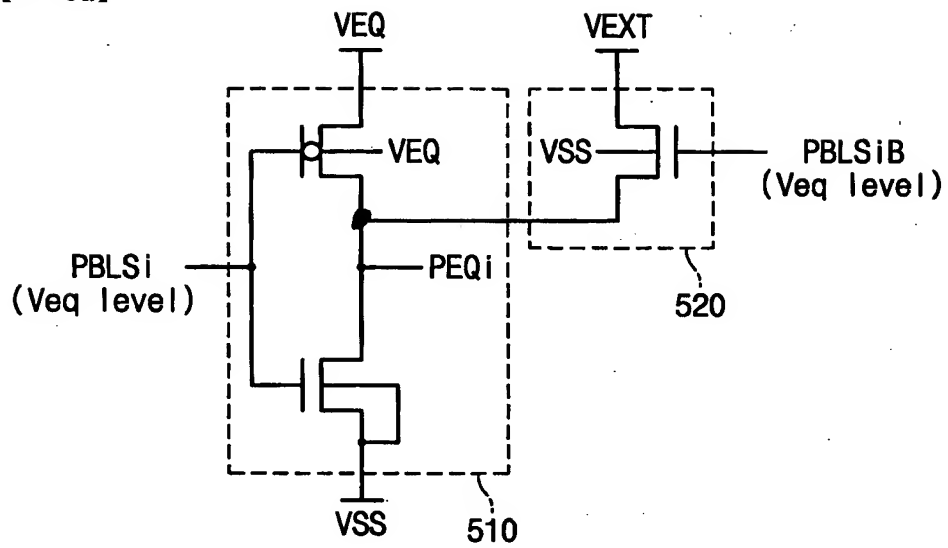
【도 3b】



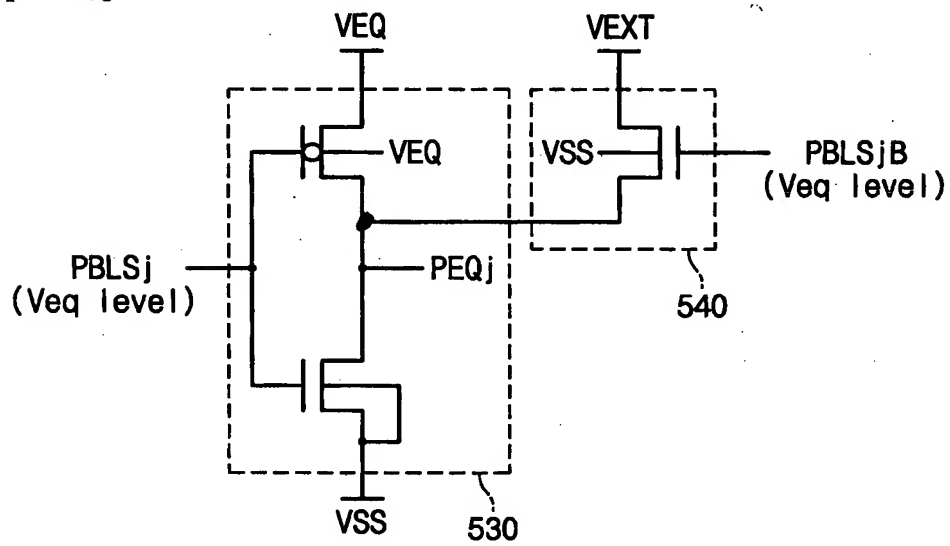
【도 4】



【도 5a】



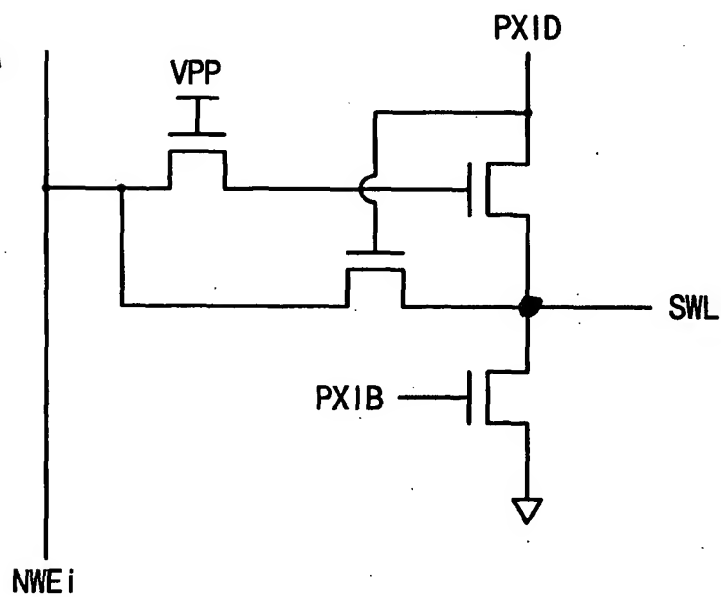
【도 5b】



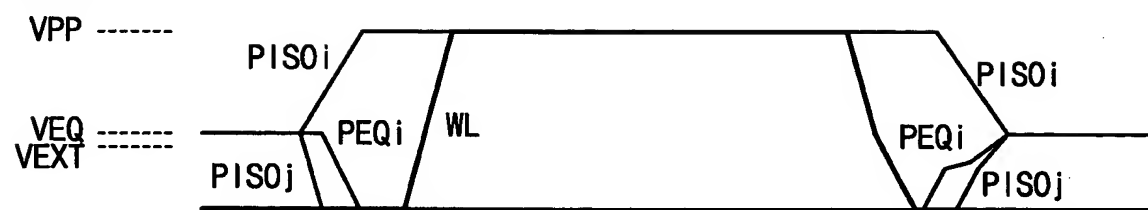
600  
↓



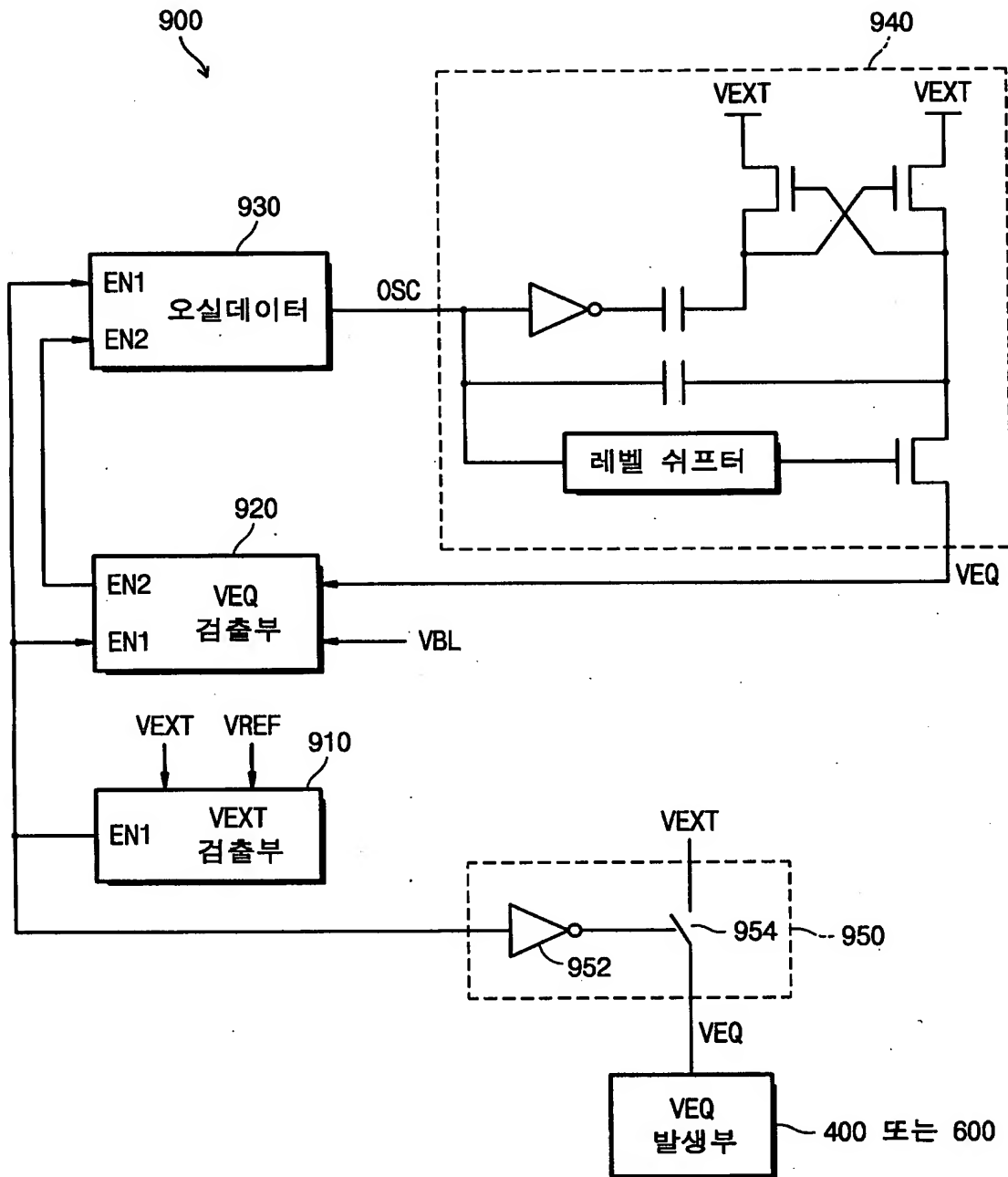
700



【도 8】

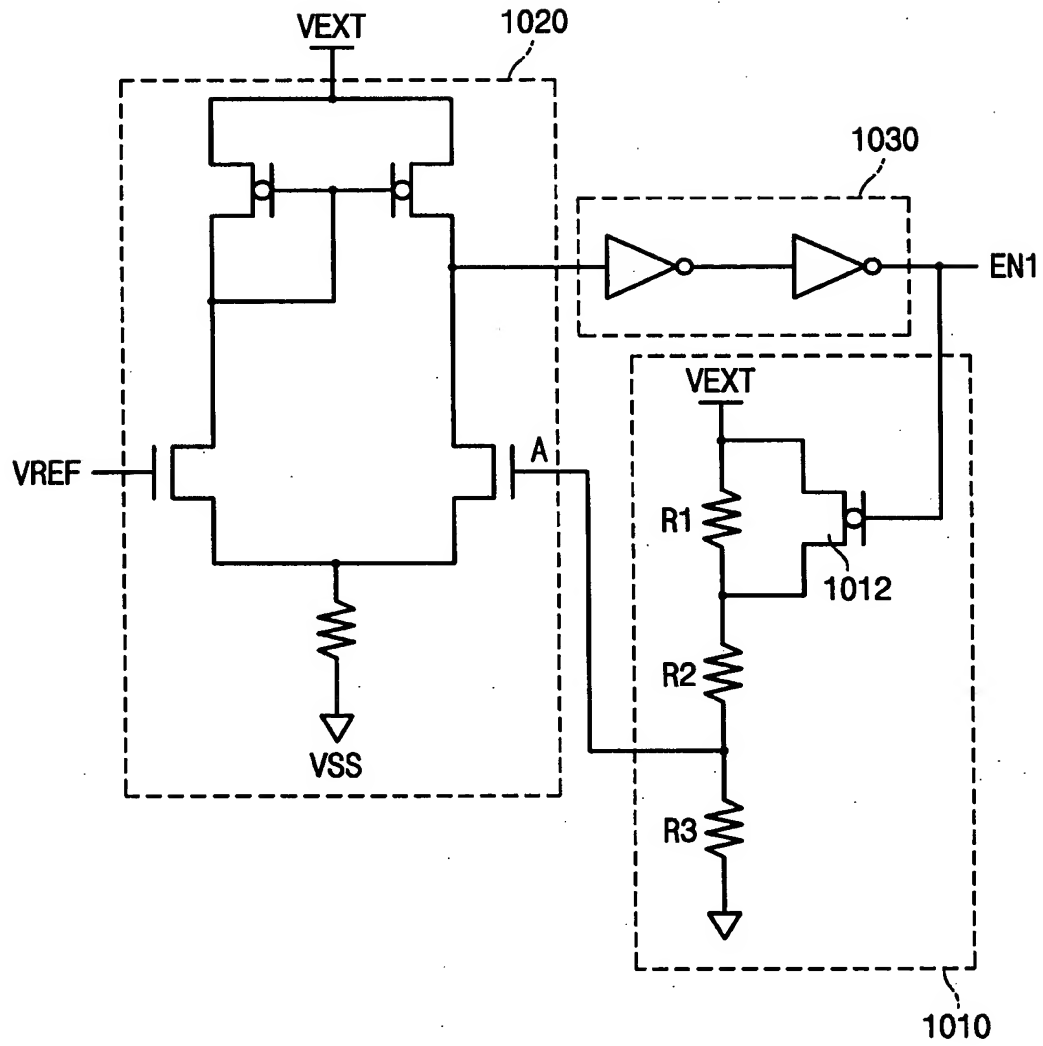


【도 9】

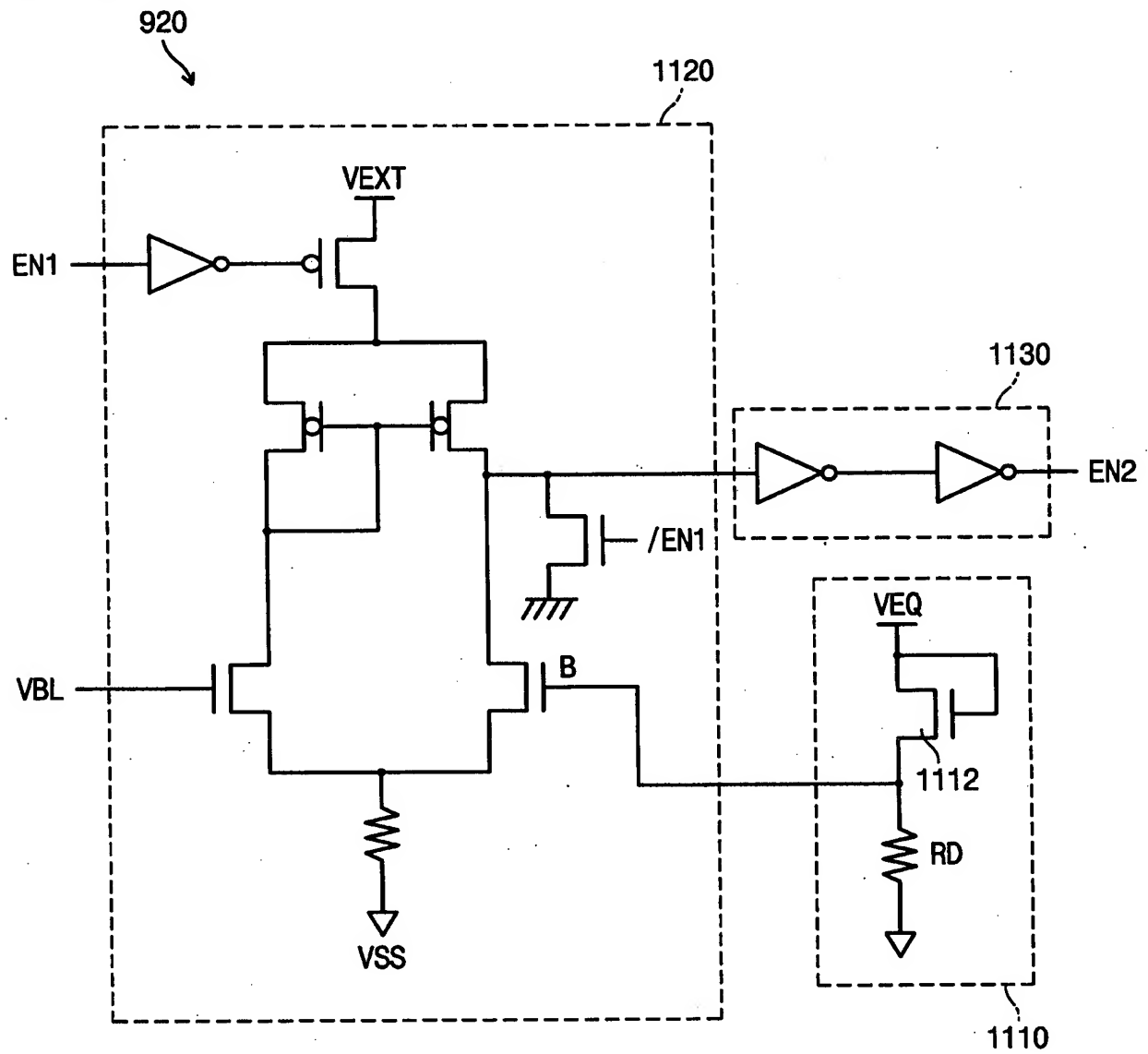


【도 10】

910



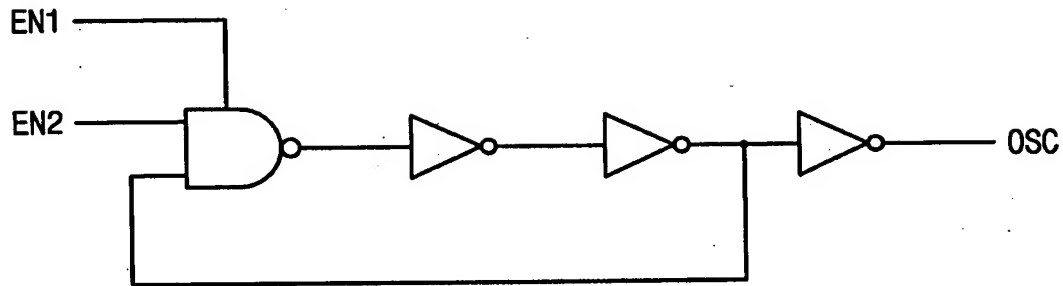
【도 11】





【도 12】

920



【도 13】

